



特許協力条約に基づいて公開された国際出願

(51) 国際特許分類6 H01L 21/92, 23/12, 23/52		A1	(11) 国際公開番号 WO96/09645
			(43) 国際公開日 28年03月96(28日03.96)
<p>(21) 国際出願番号 PCT/JP95/00714 (22) 国際出願日 1995年4月12日(12.04.95)</p> <p>(30) 优先権データ 特願平6/224674 1994年9月20日(20.09.94) JP</p> <p>(71) 出願人 (米国を除くすべての指定国について) 株式会社 日立製作所(HITACHI, LTD.)(JP/JP) 〒101 東京都千代田区神田駿河台四丁目6番地 Tokyo, (JP)</p> <p>(72) 発明者: および (73) 発明者/出願人 (米国についてのみ) 荻野雅彦(OGINO, Masahiko)(JP/JP) 〒316 茨城県日立市国分町三丁目8番18号 恒和寮 Ibaraki, (JP) 永井 光(NAGAI, Akira)(JP/JP) 〒316 茨城県日立市東多賀町3-14 光仁アパートA406 Ibaraki, (JP) 江口州志(EGUCHI, Shuji)(JP/JP) 〒319-11 茨城県那珂郡東海村白方1711-30 Ibaraki, (JP) 石井利昭(ISHII, Toshiaki)(JP/JP) 〒316 茨城県日立市東金沢町五丁目20番1号 大沼寮 Ibaraki, (JP) 瀬川正則(SEGAWA, Masanori)(JP/JP) 〒319-12 茨城県日立市久慈町三丁目33番10号 Ibaraki, (JP)</p>		<p>赤星晴夫(AKAHOSHI, Haruo)(JP/JP) 〒319-12 茨城県日立市石名坂町一丁目14番31号 Ibaraki, (JP) 高橋昭雄(TAKAHASHI, Akio)(JP/JP) 〒313 茨城県常陸太田市金井町3595 Ibaraki, (JP) 三輪崇夫(MIWA, Takao)(JP/JP) 〒312 茨城県ひたちなか市中核4829-46 Ibaraki, (JP) 田中直敬(TANAKA, Naotaka)(JP/JP) 〒315 茨城県新治郡千代田町福古三丁目15番29号 Ibaraki, (JP) 安生一郎(ANJOU, Ichiro)(JP/JP) 〒184 東京都小金井市真井南町三丁目13番15-304号 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 小川勝男(OGAWA, Katsuo) 〒100 東京都千代田区丸の内一丁目5番1号 株式会社 日立製作所内 Tokyo, (JP)</p> <p>(81) 指定国 CN, JP, KR, US, 歐州特許(AT, BE, CH, DE, DK, ES, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p>	
<p>(54) Title : SEMICONDUCTOR DEVICE AND ITS MOUNTING STRUCTURE</p> <p>(54) 発明の名称 半導体装置およびその実装構造体</p>			
<p>(57) Abstract</p> <p>A multilayer wiring structure is provided on the surface of a mounting substrate where a semiconductor chip (1) is mounted. The structure has a conductor layer electrically connected to the substrate. Ball-like terminals (5) are arranged in a grid array on the surface of the substrate. The wiring structure has a buffer layer (7) which relieves the thermal stresses generated in the chip (1) and mounting substrate and a multilayer wiring layer (14). Since the wiring distance of this semiconductor device is shorter than that of a conventional semiconductor device, the inductance component is small and the signal speed is high. In addition, since the distance between a grounding layer and a power supply layer is short, noise during the operation is low, the buffer layer of the wiring structure relieves thermal stresses at the mounting time, and the connection reliability of the semiconductor device is improved. Moreover, since wire bonding is omitted, the number of terminals per unit area is increased.</p>			

(57) 要約

半導体チップ1の実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、その多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子5を有し、かつ、前記多層配線構造体は実装後の半導体チップと実装基板との熱応力を緩和する緩衝層7と多層配線層1-4で構成した半導体装置である。

従来の半導体装置と比較して配線距離が短いためインダクタンス成分が小さく信号速度の高速化ができる。グランド層と電源層との距離を短縮できるため動作時のノイズを軽減でき、多層配線構造体の緩衝層が実装時の熱応力を緩和し、接続信頼性が向上する。また、ワイヤボンディングが省略でき単位面積当たりの端子数も多くのできる。

PCTに基づいて公開される国際出願をパンフレット第一頁にPCT加盟国を特定するために使用されるコード	
AL	アルバニア
AM	アルメニア
AT	オーストリア
AU	オーストラリア
AZ	アゼルバイジャン
BB	バルバドス
BE	ベルギー
BF	ブルキナ・ファソ
BG	ブルガリア
BJ	ベナン
BR	ブラジル
BY	ベラルーシ
CA	カナダ
CF	中央アフリカ共和国
CG	コンゴー
CH	スイス
CI	コート・ジボアール
CM	カメルーン
CN	中国
CZ	チェコ共和国
DE	ドイツ
DK	デンマーク
EE	エストニア
ES	スペイン
FIR	フィンランド
GA	ガボン
GB	イギリス
GEN	グルジア
GR	ギニア
HUE	ギリシャ
IEST	ハンガリー
ITP	アイスランド
ITR	アイスランド
KEG	イタリア
KPR	日本
KR	キルギスタン
KZ	朝鮮民主主義人民共和国
LI	リヒテンシュタイン
LK	スリランカ
LRL	リベリア
LST	リトアニア
LUV	ルクセンブルグ
LV	ラトヴィア
MC	モナコ
MD	モルドバ
MG	マダガスカル
MK	マケドニア旧ユーゴスラビア共和国
ML	マリ
MN	モンゴル
MR	モーリタニア
MW	モラウイ
MX	メキシコ
NE	ニジェール
NL	オランダ
NO	ノルウェー
NZ	ニュージーランド
PL	ポーランド
PT	ポルトガル
RO	ルーマニア
RU	ローランド
SDE	スウェーデン
SGI	シンガポール
SSA	ソロヴェニア共和国
SKN	セネガル
SNZ	スロバキア共和国
SZ	スワジランド
TD	チヤード
TG	トーゴ
TJ	タジキスタン
TM	トルクメニスタン
TR	トルコ
TT	トリニダード・トバゴ
UA	ウクライナ
UG	ウガンダ
US	米国
UZ	ウズベキスタン共和国
VN	ベトナム

明細書

半導体装置およびその実装構造体

技術分野

本発明は、高密度実装やマルチチップモジュール、ペアチップ実装等に用いられる半導体装置とその実装構造体に関するものである。

背景技術

近年、電子デバイスの小型化、高性能化に伴い、それに用いられる半導体装置も高集積度化、高密度化、処理速度の高速化が要求されている。これに対し、実装密度を上げるためにピン挿入型から表面実装型へ、また、多ピン化対応のためにDIP (Dual Inline Package) からQFP (Quad Flat Package) やPGA (Pin Grid Array)などのパッケージが開発されている。

しかし、これらのうちQFPは、パッケージの周辺部のみに実装基板との接続リードが集中し該リード線も細く変形し易い。そのため、多ピン化が困難であった。また、PGAでは実装基板と接続するための端子が細長く、非常に密集しているため高速化においても、表面実装化においても制限があった。

最近ではこれらの課題を解決し高速化対応の半導体装置を実現するため半導体チップと、金ワイヤボンディングにより電気的に接続されたキャリア基板の実装面全体に、ボール状の接続端子を有するBGA (Ball Grid Array) パッケージも登場した(米国特許第5148265号)。このパッケージは、実装基板と接続するための端子がボール状であることから、QFPのようなリードの変形がなく、実装面全体に端子を分散して形成

することができるので、端子間のピッチも大きいため、表面実装が容易である。また、PGAに比べ接続端子の長さも短いのでインダクタンス成分が小さく、信号伝送速度が速くなり高速対応可能である。

上記のBGAパッケージは、実装の際の実装基板と半導体チップ間の熱膨張差によって生ずる熱応力を緩和するために、半導体チップと実装基板の端子との間にインターポーザーとして弾性体を挿入している。しかし、こうした構造を有する半導体装置でも、半導体チップの上部電極との接続に金ワイヤボンディングを用いているため、金ワイヤとの接続部がチップの周辺部のみに集中していることから、今後ますます進むであろう半導体装置の多ピン化、高速化にはおのずと限界があり、更に、その構造の複雑さ故に、製造工程数も多く量産性、歩留まり向上に対して問題がある。

また、特開平5-326625号公報には、半田バンプを有する多層配線セラミック基板上に半田バンプを有するLSIチップを搭載したフリップチップ方式のパッケージにおいて、LSIチップとキャリア基板である多層配線セラミック基板との間に封止材を充填した実装構造が提案されている。しかし、多層配線層にセラミック基板を使用しているため、誘電率の低減が困難であることから配線の高密度化、信号の高速応答化、パッケージの小型化には問題があると考える。また、セラミックは高温焼成が必要なために、製造プロセス上においても不利であり、特に、こうした薄いセラミック基板は脆いために取扱いにくいと云う問題がある。

本発明の目的は、半導体パッケージ構造において、今後さらに進むことが予測される高速化、高密度実装化に対応でき、実装基板との接続信頼性の高い半導体装置、並びにその実装構造体を提供することにある。

発明の開示

前記の課題を解決する本発明の要旨は次のとおりである。

(1) 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体は実装後の半導体チップと実装基板との熱応力を緩和する緩衝層と多層配線層で構成した半導体装置にある。

(2) 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体の電気信号を伝達する多層配線層の層間絶縁層が実装後の半導体チップと実装基板との熱応力を緩和する材料で構成した半導体装置にある。

(3) 前記グリッドアレイ状に配置されたボール状端子により前記実装基板上に接続、搭載した実装構造体にある。

上記多層配線構造体は、半導体装置を実装基板に搭載するにあたり、電気的接続と、実装による半導体チップと実装基板との間に生ずる熱応力の緩和と云う2つの目的を達成する必要がある。従って、本発明の特徴は

- ① 前記多層配線構造体は、電気信号を伝達する多層配線層と熱応力を緩和する緩衝層の2つの部分から構成するか、あるいは、
- ② 前記多層配線構造体の電気信号を伝達する多層配線層の層間絶縁層が、実装後の半導体チップと実装基板との熱応力を緩和する材料で構成し両者を兼ねさせるようにしたことがある。

上記の多層配線構造体は、3層以上で導体層部分がグランド層、電源層、配線層から構成されていることが好ましい。これにより信号伝達速度の高速化とノイズの低減を図ることができる。

また、緩衝層および絶縁層の材料としては低比誘電率材料が望ましい。その比誘電率と絶縁層膜厚および伝達遅延時間との関係を第1図に示した。なお、絶縁層の膜厚 h は式(1)より、例えば、幅 $w = 50 \mu\text{m}$ 、高さ $t = 30 \mu\text{m}$ の配線において、特性インピーダンス $Z_0 = 55 \Omega$ の時の膜厚 h を求めることができる。

また、遅延時間 T_d は式(2)より絶縁層の誘電率 ϵ_r より求めることができる。

$$Z_0 = \frac{60}{\sqrt{\epsilon_r}} \ln \left(\frac{1.9 h}{w(0.8 + t/w)} \right) \quad \dots [1]$$

$$T_d = 3.34 \sqrt{\epsilon_r} \quad \dots [2]$$

第1図より低比誘電率材料を用いることにより絶縁層の膜厚 h を薄く(半導体装置の薄型化)でき、遅延時間を短縮する(高速応答化)ことができる。例えば、セラミック基板の代表的な材料であるアルミナの比誘電率は9.34であるから、その膜厚 h は $606 \mu\text{m}$ であるのに対し、ポリイミドを用いた場合はその比誘電率が3.0であるため $180 \mu\text{m}$ に低減することができる。また、遅延時間 T_d は、 10.2 ns/m から 5.78 ns/m と約 $1/2$ に短縮することができる。

上記のこうした絶縁層としては、線膨張係数が 20 ppm/K 以下の低熱膨張ポリイミドや、弾性率 10 kg/mm^2 以下のシリコンエラストマー等が好ましい。これらの材料を用いることにより電気信号の高速伝達、パッケージの薄型化と低応力化を図ることができる。

上記低熱膨張ポリイミドとしては、ピロメリット酸二無水物と、2, 5-ジアミノトルエン、ジアミノデュレン、ベンジジン、3, 3'-ジメチルベンジジン、3, 3'-ジメトキシベンジジン、4, 4'-ジアミノターフェニル、1, 5-ジアミノナフタレン、2, 7-ジアミノフルオレンとから得られるもの、3, 3', 4, 4'-ベンゾフェノンテトラカルボン酸二無水物と、3, 3'-ジメチルベンジジン、4, 4'-ジアミノターフェニル、2, 7-ジアミノフルオレンとから得られるもの、3, 3', 4, 4'-ビフェニルテトラカルボン酸二無水物と、パラフェニレンジアミン、2, 5-ジアミノトルエン、ベンジジン、3, 3'-ジメチルベンジジン、4, 4'-ジアミノターフェニル、1, 5-ジアミノナフタレン、2, 7-ジアミノフルオレン、2, 5-ジアミノピリジンとから得られるポリイミドがある。

本発明者らが半導体装置の基板実装時における熱応力の解析を行ったところ、弾性率が 10 kg/mm^2 以下の弾性体であれば、線膨張係数に影響されることなく熱応力の緩和が可能なことが分かった。従って、弾性率が 10 kg/mm^2 以下の特性を有する弾性体であれば、本発明の目的を達成することができる。なお、上記エラストマーの弾性率が 10 kg/mm^2 より大きくなると、線膨張係数の影響を受けるようになりエラストマーとしての効果が小さくなる。

弾性率が 10 kg/mm^2 以下の弾性体としてはエラストマー、または、低弾性エンジニアリングプラスチックが好ましい。

上記のエラストマーとしは、フッ素ゴム、フッ化シリコーンゴム、アクリルゴム、水素化ニトリルゴム、エチレンプロピレンゴム、クロロスルホン化ポリスチレンゴム、エピクロルヒドリンゴム、ブチルゴム、ウレタンゴム等が挙げられる。

また、上記の低弾性エンジニアリングプラスチックとは、ポリカーボネート（P C）／アクリロニトリルブタジエンスチレン（A B S）アロイ、ポリシロキサンジメチレンテレフタレート（P C T）／ポリエチレンテレフタレート（P E T），共重合ポリブチレンテレフタレート（P B T）／ポリカーボネート（P C）アロイ、ポリテトラフルオロエチレン（P T F E），フロリネイテッドエチレンプロピレン重合体（F E P），ポリアリレート，ポリアミド（P A）／アクリロニトリルブタジエンスチレン（A B S）アロイ、変性エポキシ樹脂、変性ポリオレフィン等が挙げられる。

この他にもエポキシ樹脂、不飽和ポリエステル樹脂、エポキシイソシアネート樹脂、マレイミド樹脂、マレイミドエポキシ樹脂、シアン酸エステル樹脂、シアン酸エステルエポキシ樹脂、シアン酸エステルマレイミド樹脂、フェノール樹脂、ジアリルフタレート樹脂、ウレタン樹脂、シアナミド樹脂、マレイミドシアナミド樹脂等の各種熱硬化性樹脂およびこれらを2種以上組み合わせた高分子材料でもよいが、本発明の目的を達成するものとしては常温では硬化せず、150～350°Cの加熱処理によって、数分～数時間で硬化し、安定した特性を有する硬化物がよい。これらの熱硬化性樹脂は高温での熱変形が少なく、また、耐熱性が優れている。

また、得られた硬化物の絶縁耐圧は10000V/cm以上を有し、かつ、耐熱性においても150°C以上で長時間安定な材料が望ましい。硬化前の上記高分子材料は溶剤により粘度調節できるものが好ましく、更には、光照射等により硬化反応する感光性高分子材料が特に好ましい。本発明の多層配線層の形成方法としては、第2図および第3図に示す代表的な2つの方法で実現することができる。

第2図の逐次積層法は、a) 半導体チップ1上にエラストマー絶縁層2を形成し、b) 層間接続のための窓3を形成し、c) 層間接続4を行い配線層を形成する。以上の工程を必要な層数が形成できる回数繰り返すことにより多層配線層を形成する。最後に、d) 実装基板への接続端子として半田ボール5を形成し、本発明の半導体装置を作製することができる。

第3図のフィルム積層法は、e) シート状配線6を張り合わせ、f) 層間接続のための窓3を形成し、g) 層間接続4を形成して多層配線シートを形成する。次に、h) 半導体チップに剣山型緩衝層7を介して多層配線シートを接着し、多層配線構造体を形成する。最後に半田バンプを形成する。

上記の剣山型緩衝層の作製方法は、例えば、銅箔(厚さ18μm程度)を接着したポリイミドフィルム(厚さ50μm程度)の所定の個所に、エキシマレーザ(KrF248nm, パルスエネルギー40mj/パルス、繰り返し周波数max600Hz, 平均出力24W)で孔(直径25μm, 孔ピッチ40μm)を空け、めっき、例えば公知の化学銅めっき等により孔内に導体を形成し、前記銅箔をエッチアウト後、無電解錫めっきを上記導体の両端に形成するか、所定の位置に多数の金線ワイヤを立てたものをエラストマーでポッティング等により注型し、硬化後所定の厚さに形成することにより得られる。

また、異方向性導電フィルムによっても形成できる。これは、垂直方向にのみ電気的導通を有する構成のもので、半導体チップの電極部分と接続された部分のみが電気的に導通される。また、他方の面に、半導体チップの電極部分に対応した電極を有する多層配線構造体を重ねることにより電気的に導通される。

この剣山型緩衝層と半導体チップとの接続は、Au／Sn接合、Sn／Pb接合等があり、予め、両者が接続される電極部分に金を蒸着し、無電解錫めっきにより錫半田を形成しておき、両者を数秒間(2～3秒)圧着、加熱(240～250°C)することにより錫半田を溶融させて接続する。多層配線構造体の接続も同様にして行うことができる。

多層配線構造体の実装基板への接続面にグリットアレイ状に配置されたボール状端子は、錫、亜鉛、鉛を含む半田合金、銀、銅または金、あるいはそれらを金で被覆しボール状に形成したものであれば、加熱溶融あるいは加熱せずに接触、振動させることで半導体装置を実装基板に電気的に接続することができる。上記以外にモリブデン、ニッケル、銅、白金、チタンなどの1種、または2種以上組み合わせた合金、もしくは2つ以上の金属からなる多重膜とした構造のボール状端子でもよい。

前記の半導体チップとは、半導体基板上に回路が形成されたリニアIC、LSI、ロジック、メモリー、ゲートアレイ等がある。

本発明において、半導体チップの動作時の放熱を助けるためにヒートスプレッダーを設けた半導体装置でもよい。上記ヒートスプレッダーは、熱伝導性の良好な材料、例えば、銅などの高熱伝導率の金属で形成され、特に、搭載する半導体チップ1を埋設できる構造(第7図)のものは、より面積の大きい多層配線構造体を形成することができるので好ましい。また、より表面積を稼ぐためにチップ搭載面以外の部分に放熱フィンを設けたものでもよい。

本発明の半導体装置は、前記多層配線構造体1つに対して2つ以上の半導体チップが搭載された構造であってもよい。

本発明の半導体装置は、多層配線構造体の実装面全体に実装基板と接続するためボール状端子を配置することができ、また、金ワイヤボンデ

イングも不要となる。その結果、従来の半導体装置と比較し、より多ビン化することが可能となり高密度化、高集積化に適する。

また、半導体基板のグランド層と電源層との距離を短縮でき、半導体チップには半田バンプを形成することなく直接多層配線構造体に接続されるため、従来の電極バンプを形成して半田接続したものより配線距離が短縮され、インダクタンス成分を減少できるので信号伝達速度が高速化し、より処理速度の速い半導体装置を提供できる。また、低比誘電率の材料（ポリイミド、エラストマー等）を使用することにより、同じ信号周波数のパッケージの場合、セラミック多層基板を用いたものと比較して薄型化できる。

さらに、半導体チップ上に低弾性率の多層配線構造体を形成したことにより、実装基板と半導体チップとの間に生ずる熱応力が低減され、実装後の接続信頼性が向上する。

図面の簡単な説明

第1図は比誘電率と絶縁層膜厚、伝達遅延時間との関係を示すグラフである。

第2図は本発明を実現するための逐次積層法による製法の模式図である。

第3図は本発明を実現するためのフィルム積層法による製法の模式図である。

第4図は実施例1の半導体装置の断面模式図である。

第5図は実施例2の半導体装置の断面模式図である。

第6図は実施例3の半導体装置の断面模式図である。

第7図は実施例4の半導体装置の断面模式図である。

第8図は実施例5の半導体装置の断面模式図である。

第9図は実施例6の実装構造体の一例を示す断面模式図である。

発明を実施するための最良の形態

本発明を実施例に基づき詳細に説明する。

〔実施例1〕

第4図は本発明の一実施例の半導体装置の模式断面図である。半導体基板にトランジスタ、ダイオード、抵抗等の素子を組み込んだシリコン半導体チップ1を用い、下記の工程で本発明の半導体装置を作製した。

単結晶シリコンウエハと該シリコンウエハ上にエピタキシャル成長したシリコン層と、該エピタキシャル成長層中に形成された回路を有する半導体チップ1の上面に、二酸化ケイ素膜よりなる保護層（図示省略）が被覆されており、該保護層には電気的接続のための窓が設けてある。

次に、上記半導体チップ1上に、アルミニウムを用いて、周知の写真食刻法によって所定の配線パターンの第1導体層8を形成した。次いで、ポリイミド前駆体ワニス（P1Q：日立化成工業製）を基板に1000～5000 rpmでスピンドルコートし、100°C／1時間および350°C／30分、窒素雰囲気中で加熱、硬化し、ポリイミド膜からなる第1絶縁層9を形成した。

次いで、上記ポリイミド膜上にネガ型液状レジスト（OMR-83：東京応化製）をスピンドルコートし90°C／30分硬化後、フォトレジストパターニングを行い、現像後、再び窒素雰囲気中で150°C／30分硬化させてレジスト膜に窓を形成した。

その後抱水ヒドラジンとエチレンジアミンの混合溶液中に浸漬し、ポリイミド膜に層間接続のための窓3を形成し、アルカリ溶液からなる剥

離液（当供応化製：N 3 0 3 C）でフォトレジストを剥離した。

こうして第1絶縁層9を形成後、A 1を蒸着して周知の写真食刻法により、第1導体層8と、所定位置に開けられた層間接続のための窓3の部分で電気的に接続し、第2導体層10を形成した。

同様に前記の工程を繰り返して、第2絶縁層11および第3導体層12を形成した後、さらに、上記と同様な方法により最上部パッシバーション膜13をPIQ（ポリイミド系樹脂：日立化成工業製）により形成し多層配線層を形成した。

これに、実装基板と電気的に接続するためのSn/Pb(63/37)の半田ボール5を実装面全体にグリッド状に形成して半導体装置を得た。

上記により、半導体チップ1上に多層配線層（多層配線構造体）を有し、その最上面に実装基板と接続するためのグリッドアレイ状の端子を有するモノリシックLSIを得た。

上記のモノリシックLSIを用いて、温度サイクル試験（-55°C/10分～+150°C/10分が1サイクル）、リードインダクタンス、スイッチングノイズ、クロストークを評価した。結果を表1に示す。

〔実施例2〕

第5図は、多層配線構造体として多層配線層14と緩衝層7とを形成した本発明の一実施例の半導体装置の模式断面図である。

まず、回路が形成された多層配線層と電気的接続するための窓を有するシリコン半導体チップ1の面上にスパッター蒸着により銅薄膜を形成する。次に、所定の方法によりこの銅薄膜をエッチングし配線を形成する。この上に低熱膨張性ポリイミド膜（X 9 5 2：日立化成工業製）に接着剤を塗布した接着シートを貼り付けて硬化させた後、レーザーにより所定の孔を形成し、そこに無電解銅めっきによりピアスタッフを形成

後、さらに、銅をスパッター蒸着した。

これを繰り返すことにより多層配線層14を形成した。この多層配線層の実装面側に、緩衝層となる剣山型緩衝層7としてASMAT(日東電工製)にはんだにより加圧、加熱して接着し、該剣山型緩衝層7の実装面側にグリッドアレイ状に、Sn/Pb(63/37)の半田ボール5からなる端子を接続、形成して半導体装置を得た。

この半導体装置の温度サイクル試験、リードインダクタンス、スイッチングノイズ、クロストークを表1に示す。

また、2個の半導体チップ1が上記多層配線層14に搭載されたものについても同様にして作製した。その特性は上記半導体チップ1個のものと同様に優れたものであった。

[実施例3]

第6図は、シリコン半導体チップ1の回路形成面に緩衝層である剣山型緩衝層7を介して多層配線層14を接続した本発明の一実施例の半導体装置の模式断面図である。

両面銅張積層板(MCLE67:日立化成工業製)をエッチング法によりパターン形成後、永久レジスト(プロピア52:チバガイギ製)を塗布し、乾燥、露光、現像してフォトピアホールを形成し加熱硬化した。

次いで、ドリル加工によりスルーホールを形成し、無電解銅めっき法により銅めっきした。これを再びエッチングしパターンを形成して多層配線層14を形成した。その実装面にグリッドアレイ状に半田ボール5を接続し、緩衝層となる剣山型緩衝層7としてASMAT(日東電工製)を挟んで積層接着し、半導体装置を得た。この半導体装置の温度サイクル試験、リードインダクタンス、スイッチングノイズ、クロストークを表1に示す。

〔実施例 4 〕

第 7 図は、本発明の一実施例の半導体装置の模式断面図である。放熱 フィンを有する銅製のヒートスプレッダー 15 に、半導体チップ 1 の回 路形成面が実装側となるようシリコン系接着剤で固定埋設し、その回路 形成面上に剣山型緩衝層 7 として AS MAT (日東電工製) を同じく埋 設接合した。上記のヒートスプレッダー 15 の実装面に以下の方法で多 層配線層 14 を形成した。

まず、両面銅張積層板 (MCF50001 : 日立化成工業製) の両面に所定の エッチングプロセスにて配線パターンを形成したものを 2 枚用意し、こ れらを接着剤 (AS2250 : 日立化成工業製) で接着した後、レーザーでス ルーホールを形成し無電解めっきにより電気的接続をして多層配線板 14 を得た。

この多層配線板 14 の実装面上にグリッドアレイ状に半田ボール 5 を 接続し、半導体装置を得た。この半導体装置の温度サイクル試験、リー ドインダクタンス、スイッチングノイズ、クロストークを表 1 に示す。

〔実施例 5 〕

実施例 1 で作成した半導体装置 16 を、第 8 図に示すようにエポキシ 系モールドレジン (RM192 : 日立化成工業製) を用いて、トランス ファーモールド法により封止し、本発明の半導体装置を得た。なお、ト ランスファーモールドの条件は、金型温度 180°C, 成形圧力 7 MPa, 移送時間 15 秒, 成形時間 90 秒で行った。

〔実施例 6 〕

第 9 図に示すように、実施例 1 で作成した半導体装置 16 を 2 個、実 施例 3 と同様の方法で形成した多層配線基板 18 に電気的に接続、搭載 し、該多層配線基板の実装面側にグリッドアレイ状に半田ボール 5 を形

成したマルチチップの実装構造体を得た。

〔比較例1〕

従来の225ピン、27mm角のBGA (Ball Grid Array) 型半導体装置について、温度サイクル試験、リードインダクタンス、スイッチングノイズ、クロストークの評価を行った。結果を表1に示す。

〔比較例2〕

従来の208ピン、31mm角のQFP (Quad Flat Package) 型半導体装置の温度サイクル試験、リードインダクタンス、スイッチングノイズ、クロストークを表1に示す。

第1表

	実施例				比較例	
	1	2	3	4	1	2
単位面積当たりの端子数 (個/cm ²)	51	51	51	55	31	22
温度サイクル試験*	1000回	0/50	0/50	0/50	1/50	2/50
	3000回	0/50	0/50	0/50	1/50	20/50
単位長さ当たりのリードインダクタンス (nH/mm)		0.25	0.28	0.28	0.30	0.49
スイッチングノイズ (V)		0.30	0.35	0.35	0.40	0.55
クロストーク(V)		0.04	0.05	0.05	0.07	0.09
						0.51

* 不良数/試験数

前記各実施例に示した本発明の半導体装置は、従来の半導体装置と比較して温度サイクル試験における接続不良が発生せず、単位長さ当たりのインダクタンス、スイッチングノイズ、クロストークも小さい。

請求の範囲

1. 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体は実装後の半導体チップと実装基板との熱応力を緩和する緩衝層と多層配線層で構成したことを特徴とする半導体装置。
2. 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体の電気信号を伝達する多層配線層の層間絶縁層が実装後の半導体チップと実装基板との熱応力を緩和する材料で構成したことを特徴とする半導体装置。
3. 前記多層配線構造体1個に対し2個以上の半導体チップが設けられている請求の範囲第1項に記載の半導体装置。
4. 前記多層配線構造体が3層以上の導体層を有し、該導体層がグランド層、電源層、配線層を備えた請求の範囲第1項に記載の半導体装置。
5. 前記緩衝層は、絶縁体と該絶縁体を貫通して形成された複数の導体が半導体チップの実装基板側の面に対し垂直に剣山状に構成されており、前記絶縁体が弾性率10kg/mm²以下の有機高分子材料で構成されている請求の範囲第1項に記載の半導体装置。
6. 前記緩衝層は、絶縁体と該絶縁体を貫通して形成された複数の導体が半導体チップの実装基板側の面に対し垂直に剣山状に構成されており、前記絶縁体が、ポリイミド絶縁膜である請求の範囲第1項に記載の半導体装置。

7. 前記緩衝層は、絶縁体と該絶縁体を貫通して形成された複数の導体が半導体チップの実装基板側の面に対し垂直に剣山状に構成されており、前記絶縁体が、弹性率 10 kg/mm^2 以下のエラストマー、低弹性エンジニアリングプラスチックから選ばれる請求の範囲第1項に記載の半導体装置。

8. 前記緩衝層は、絶縁体と該絶縁体を貫通して形成された複数の導体が半導体チップの実装基板側の面に対し垂直に剣山状に構成されており、前記絶縁体が、弹性率 10 kg/mm^2 以下のシリコン系のエラストマー、フッ素系エラストマー、または、それらを組み合わせたものである請求項1に記載の半導体装置。

9. 前記多層配線層の層間絶縁層が、弹性率 10 kg/mm^2 以下の有機高分子材料で構成されている請求の範囲第1項に記載の半導体装置。

10. 前記多層配線層の層間絶縁層が、ポリイミド絶縁膜である請求の範囲第1項または第2項に記載の半導体装置。

11. 前記多層配線層の層間絶縁層が、弹性率 10 kg/mm^2 以下のエラストマー、低弹性エンジニアリングプラスチックから選ばれる請求の範囲第1項に記載の半導体装置。

12. 前記多層配線層の層間絶縁層が、弹性率 10 kg/mm^2 以下のシリコン系のエラストマー、フッ素系エラストマー、または、それらを組み合わせたものである請求の範囲第1項に記載の半導体装置。

13. 前記多層配線構造体の実装基板との接続のためのボール状端子が錫、鉛、亜鉛を含む半田合金、銀、銅または金、あるいはそれらを金で被覆した金属材料で形成した請求の範囲第1項に記載の半導体装置。

14. 前記半導体チップが動作時における放熱のためのヒートスプレッダーを有する請求の範囲第1項に記載の半導体装置。

15. 前記ヒートスプレッダーが、前記半導体チップまたは半導体チップとそれに接続された前記緩衝層が埋設し得るよう構成した請求の範囲第14項に記載の半導体装置。

16. 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体は実装後の半導体チップと実装基板との熱応力を緩和する緩衝層と多層配線層で構成され、前記グリッドアレイ状に配置されたボール状端子により前記実装基板上に接続、搭載したことを特徴とする実装構造体。

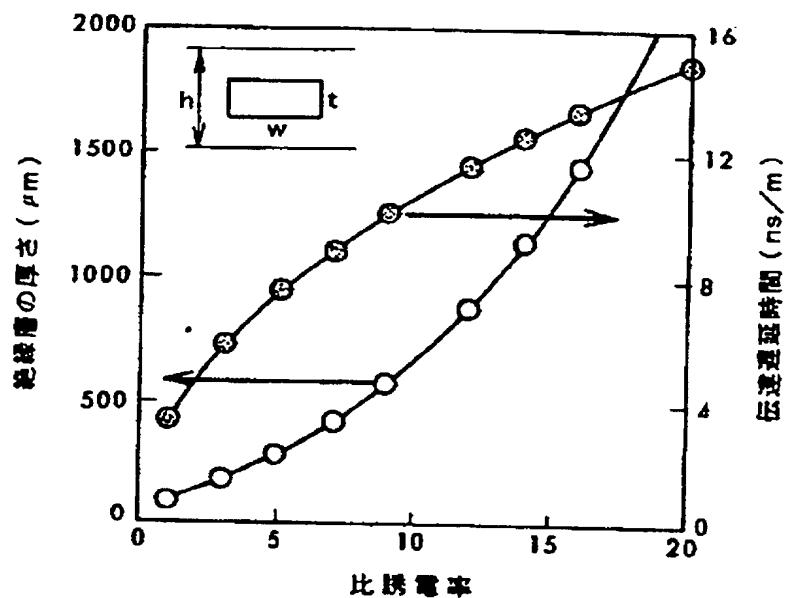
17. 半導体チップの実装基板側の面上に、実装基板と電気的に接続する導体層を有する多層配線構造体が設けられており、該多層配線構造体の前記実装基板側の表面にグリッドアレイ状に配置されたボール状端子を有し、かつ、前記多層配線構造体の電気信号を伝達する多層配線層の層間絶縁層が実装後の半導体チップと実装基板との熱応力を緩和する材料で構成され、前記グリッドアレイ状に配置されたボール状端子により前記実装基板上に接続、搭載したことを特徴とする実装構造体。

18. 前記緩衝層は、絶縁体と該絶縁体を貫通して形成された複数の導体が半導体チップの実装基板側の面に対し垂直に剣山状に構成されており、前記絶縁体が弾性率 10 kg/mm^2 以下の有機高分子材料で構成されている請求の範囲第16項に記載の実装構造体。

19. 前記多層配線層の層間絶縁層が、弾性率 10 kg/mm^2 以下の有機高分子材料で構成されている請求の範囲第16項に記載の実装構造体。

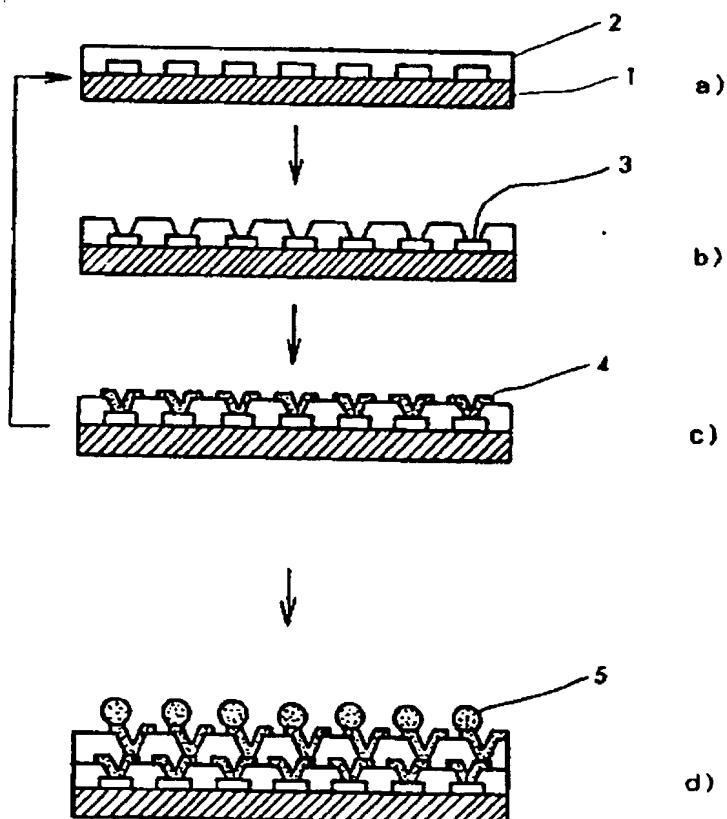
1/6

第 1 図



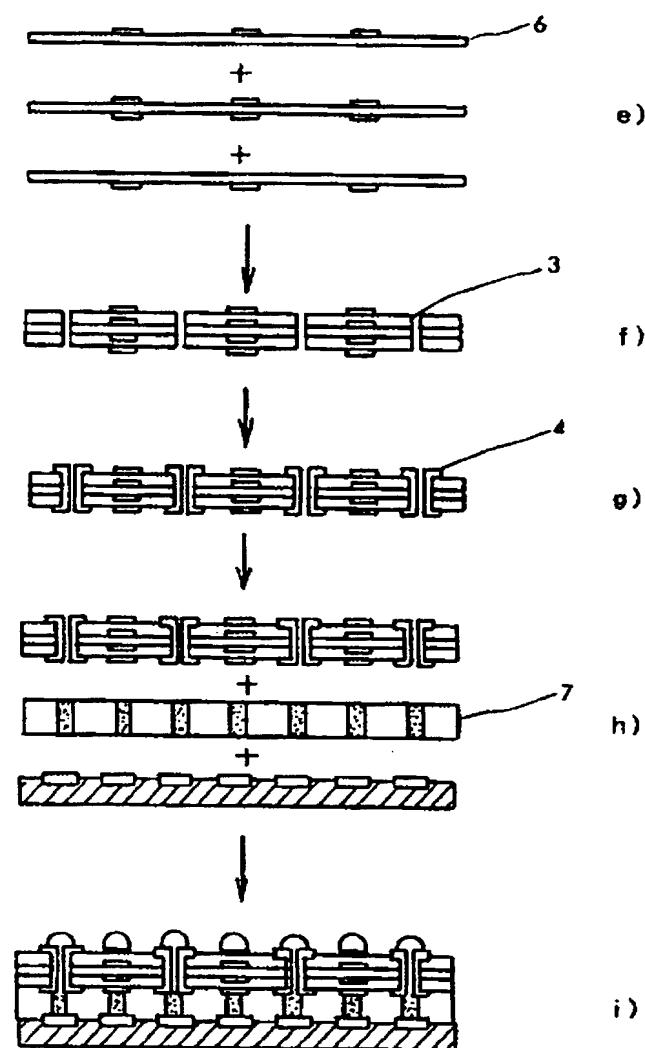
2/6

第 2 図



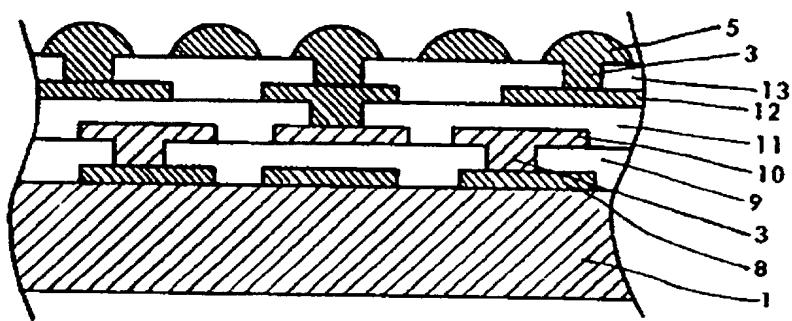
3/6

第3図

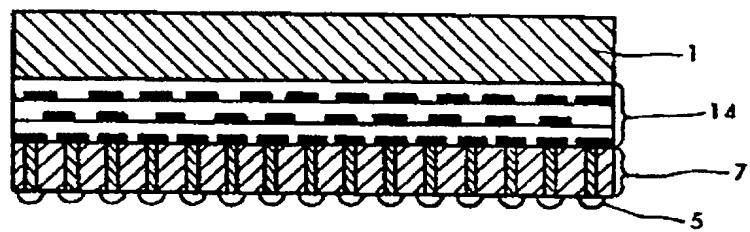


4 / 6

第 4 図

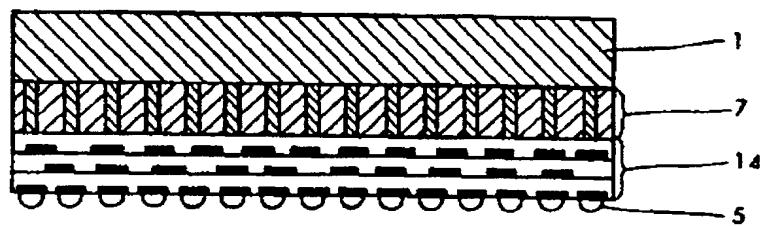


第 5 図

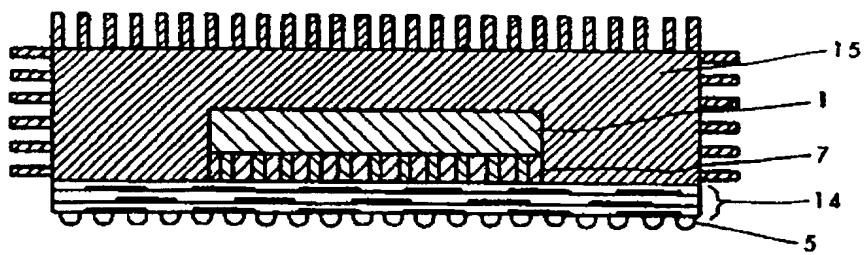


5/6

第 6 図

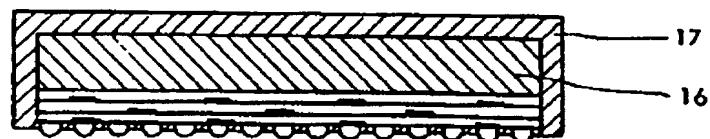


第 7 図

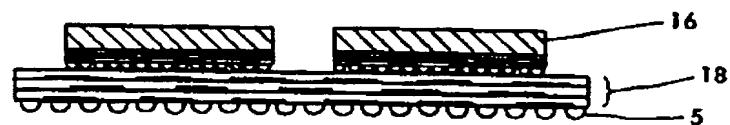


6/6

第 8 図



第 9 図



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00714

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl⁶ H01L21/92, H01L23/12, H01L23/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl⁶ H01L21/92, H01L23/12, H01L23/52, H01L21/60

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922 - 1994

Kokai Jitsuyo Shinan Koho 1971 - 1994

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category ^a	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 62-93961, A (Hitachi, Ltd.), April 30, 1987 (30. 04. 87), Line 1, lower left column to line 17, lower right column, page 6 (Family: none)	1, 6, 10 2-5, 7-9, 11-19
Y A	JP, 1-235261, A (Hitachi, Ltd.), September 20, 1989 (20. 09. 89), Line 7, lower left column, page 2 to line 17, upper right column, page 3 (Family: none)	1, 6, 10 2-5, 7-9, 11-19
Y	JP, 63-69295, A (Nippon Telegraph & Telephone Corp.), March 29, 1988 (29. 03. 88), Line 19, upper right column to line 16, lower left column, page 4	1, 4 2-3, 5-19
Y A	JP, 5-41471, A (Hitachi, Ltd.), February 19, 1993 (19. 02. 93), Line 22, column 4, page 3 to line 11, column 6, page 4 (Family: none)	1-4, 14-17 5-13, 18-19

 Further documents are listed in the continuation of Box C. See patent family annex.

- Special categories of cited documents:
- "A" documents defining the general state of the art which is not considered to be of particular relevance
- "E" earlier documents not published on or after the international filing date
- "L" documents which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reasons (as specified)
- "O" documents referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later documents published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "A" document member of the same patent family

Date of the actual completion of the international search

July 11, 1995 (11. 07. 95)

Date of mailing of the international search report

August 1, 1995 (01. 08. 95)

Name and mailing address of the ISA/

Japanese Patent Office

Facsimile No.

Authorized officer

Telephone No.

Form PCT/ISA/210 (second sheet) (July 1992)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP95/00714

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 63-95637, A (Hitachi, Ltd.), April 26, 1988 (26. 04. 88), Line 8, lower right column, page 2 to line 13, upper left column, page 4 (Family: none)	1 - 19
A	JP, 1-255176, A (International Business Machines Corp.), October 12, 1989 (12. 10. 89), Line 10, upper right column to line 9, lower right column, page 6 & EP, 332560, B1 & US, 4932883, A	1 - 19
A	JP, 5-206313, A (Hitachi, Ltd., Hitachi Hokkai Semiconductor, Ltd.) August 13, 1993 (13. 08. 93), Line 34, column 4, page 3 to line 10, column 6, page 4 & US, 5219794, A	1 - 19

国際調査報告

国際出願番号 PCT/JP 95/00714

A. 発明の属する分野の分類(国際特許分類(IPC))

Int. CL⁸ H01L21/92, H01L23/12, H01L23/52

B. 調査を行った分野

調査を行った最小限資料(国際特許分類(IPC))

Int. CL⁸ H01L21/92, H01L23/12, H01L23/52,
H01L21/60

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国实用新案公報 1922-1994年

日本国公開实用新案公報 1971-1994年

国際調査で使用した電子データベース(データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	JP, 62-93961, A(株式会社 日立製作所), 30. 4月 1987(30. 04. 87), 第6頁左下欄第1行-右下欄第17行(ファミリーなし)	1, 6, 10 2-5, 7-9, 11-19
Y A	JP, 1-235261, A(株式会社 日立製作所), 20. 9月 1989(20. 09. 89), 第2頁左下欄第7行-第3頁右上欄第17行(ファミリーなし)	1, 6, 10 2-5, 7-9, 11-19
Y	JP, 63-69295, A(日本電信電話株式会社),	1, 4

 C欄の続きを参照する。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」先行文献ではあるが、国際出願日以後に公表されたもの

「L」優先権主張に発表を提起する文献又は他の文献の発行日
若しくは他の特別な理由を確立するために引用する文献
(理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日
の後に公表された文献「T」国際出願日又は優先日後に公表された文献であって出願と
矛盾するものではなく、発明の原理又は理論の理解のため
に引用するもの「X」特に関連のある文献であって、当該文献のみで発明の新規
性又は進歩性がないと考えられるもの「Y」特に関連のある文献であって、当該文献と他の1以上の文
獻との、当業者にとって自明である組合せによって進歩性
がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

11. 07. 95

国際調査報告の発送日

01.08.95

名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100

東京都千代田区霞が関三丁目4番3号

特許庁審査官(権限のある職員)

4

M

9

1

6

9

今井拓也

電話番号 03-3581-1101 内線

3464

C(続き)、関連すると認められる文献

引用文献の カテゴリー	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	29. 3月 1988(29. 03. 88), 第4頁右上欄第19行—左下欄第16行(ファミリーなし)	2-3, 5-19
Y	JP, 5-41471, A(株式会社 日立製作所), 19. 2月. 1993(19. 02. 93),	1-4, 14-17
A	第3頁第4欄第22行—第4頁第6欄第11行 (ファミリーなし)	5-13, 18-19
A	JP. 63-95637, A(株式会社 日立製作所), 26. 4月. 1988(26. 04. 88), 第2頁右下欄第8行—第4頁左上欄第13行 (ファミリーなし)	1-19
A	JP. 1-255176, A(インターナショナル・ビジネス・ マシーンズ・コーポレーション), 12. 10月. 1989(12. 10. 89), 第6頁右上欄第10行—右下欄第9行 &EP, 332560, B1&US, 4932883, A	1-19
A	JP. 5-206313, A(株式会社 日立製作所, 日立地海セミコンダクタ株式会社), 13. 8月. 1993(13. 08. 93), 第3頁第4欄第34行—第4頁第6欄第10行 &US, 5219794, A	1-19